

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-222999

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

G11C 29/00

G01R 31/28

(21)Application number : 09-020558

(71)Applicant : FUJITSU LTD

(22)Date of filing : 03.02.1997

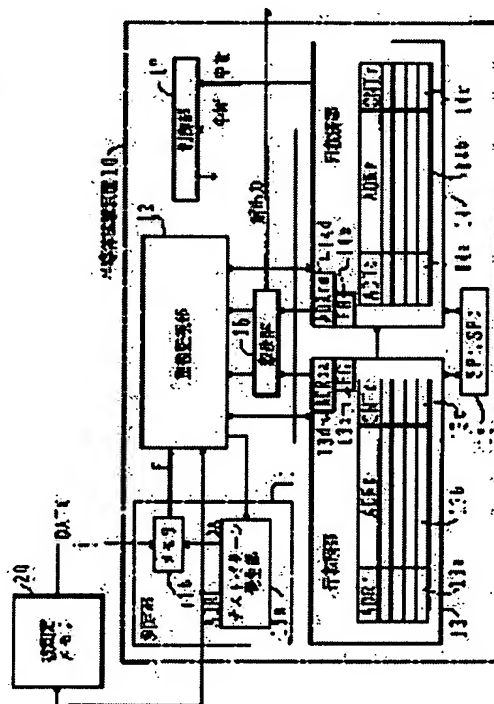
(72)Inventor : TEZUKA TORU

(54) SEMICONDUCTOR TESTING METHOD AND APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce storage capacity for improvement of throughput by storing and counting the column address of the defective bits existing on the defective row address and row address of defective bits existing on the defective column address, in regard to the row address and column address of the detected defective bit.

SOLUTION: The initialization is conducted to set the number of rows SP_r and number of columns SP_c of spare cells for a memory 20 to be measured in the storage section 15 for the number of spare cell lines to be relieved. The relief row detecting code FR is cleared to zero to determined whether he defective row address ADR_r matches the address being stored to the defective row address storage section 13a. When these are matched, it adds the defective column address ADR_c to the defective column address storage section 13b on the defective row of such row. The defective bit calculation value CNT_c on the defective row is incremented and it is then compared with the remaining spare cell column number SP_c of the relievable spare cell line number storage, section 15 to complete the deletion process or measuring process in the row relieving section 13, followed by the column relieving process.



BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-222999

(43)公開日 平成10年(1998) 8月21日

(51)Int.Cl. ⁴	識別記号	F I	
G 1 1 C 29/00	6 5 5	G 1 1 C 29/00	6 5 5 S
G 0 1 R 31/28		G 0 1 R 31/28	B

審査請求 未請求 請求項の数9 O L (全 10 頁)

(21)出願番号 特願平9-20558
(22)出願日 平成9年(1997) 2月3日

(71)出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72)発明者 手塚 徹
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(74)代理人 弁理士 松本 眞吉

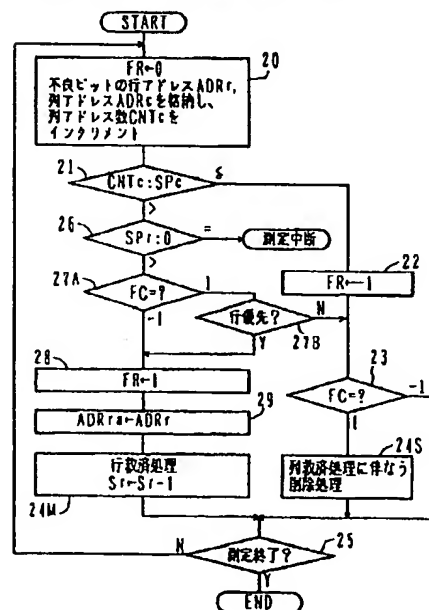
(54)【発明の名称】 半導体試験方法及び装置

(57)【要約】

【課題】試験に必要な記憶容量を低減し、かつ、試験中に救済行又は救済列のアドレスを決定する。

【解決手段】検出された不良ビットの行アドレスADR_r及び列アドレスADR_cに対し、一方では、各不良行アドレスADR_rについて不良行アドレスADR_r上に存在する不良ビットの列アドレスADR_cを記憶し、該不良行アドレスADR_r上の不良ビットを計数し(計数値CNT_c)、これと並列的に他方では、各不良列アドレスADR_cについて不良列アドレスADR_c上に存在する不良ビットの行アドレスADR_rを記憶し、該不良列アドレスADR_c上の不良ビットを計数し(計数値CNT_r)、CNT_c>(残存スペアセル列数SP_c)のとき、計数値CNT_cの最後の計数に対応した不良行アドレスADR_rを救済行アドレスADR_{ra}と判定し、残存スペアセル行数SP_rをデクリメントし、CNT_r>SP_rのとき、計数値CNT_rの最後の計数に対応した不良列アドレスADR_cを救済列アドレスADR_{rc}と判定し、SP_cをデクリメントする。

図1の行救済部での処理を示すフローチャート



3

該列救済部は、該不良ビットについて、 $CNT_r > SPr$ が成立すると判定し、該行救済部において $CNT_c > SPc$ が成立すると判定された場合には、予め行優先と定められていれば上記救済列アドレス $ADRCa$ の判定を無効にし予め列優先と定められていれば該救済列アドレス $ADRCa$ の判定を有効にする、
ことを特徴とする請求項4乃至6のいずれか1つに記載の半導体試験装置。

【請求項8】 被測定メモリにデータを書き込み、書き込んだデータを読み出し、読み出したビットのデータが該ビットに書き込んだデータと不一致のとき該ビットのアドレスを不良アドレスとして取得する測定部と、決定された上記救済行アドレス $ADRa$ 及び救済列アドレス $ADRCa$ を記憶する救済解記憶部と、該測定部で取得された不良アドレスが上記行救済部又は上記列救済部に記憶された不良ビットのアドレスと一致せず、該不良アドレスの行アドレス部が該救済解記憶部に記憶された救済行アドレスに一致せず、且つ、該不良アドレスの列アドレス部が該救済解記憶部に記憶された救済列アドレスに一致しない場合のみ該不良アドレスを該行救済部及び該列救済部に供給する重複監視部と、を有することを特徴とする請求項4乃至7のいずれか1つに記載の半導体試験装置。

【請求項9】 上記測定部は、上記救済行アドレス又は上記救済列アドレスを含むアドレスについて上記被測定メモリに対し上記書き込み及び読み出しを省略することを特徴とする請求項8記載の半導体試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スเปアセルを備えたメモリ部を有する半導体装置に対し不良ビットの有無を検査し、不良ビットが有る場合にはその救済可否を判定し、救済可能な場合には、スเปアセルと置換して救済すべき行又は列のアドレスを決定する半導体試験方法及び装置に関する。

【0002】

【従来の技術】 この種の半導体試験装置では、メモリの記憶容量及び出荷数の増大に伴い、試験時間が増大してコスト高の原因となっている。従来では、半導体試験装置にフェイルメモリを備え、その記憶内容を予めゼロクリアしておき、試験中に不良ビットが検出されるとフェイルメモリ上の対応するアドレスに不良ビットであることを示す‘1’を記憶させ、フェイルメモリに格納されたデータに基づいて不良解析を行っていた（特開平4-132095号公報、特開平4-95884号公報）。

【0003】

【発明が解決しようとする課題】 しかし、両公報のいずれも、被測定メモリの記憶容量以上のフェイルメモリを半導体試験装置に備える必要がある。また、特開平4-132095号公報では、被測定メモリの不良行又は不良

4

良列に含まれる不良ビットの数の多い順に救済するので、被測定メモリの全不良ビット情報を取得した後に、フェイルメモリ上の救済すべき行又は列をマスクし、フェイルメモリ上に不良ビットが残存していないことを確認して初めて救済可否判定が可能となる。このため、救済すべき行又は列の決定に要する時間が長くなる。

【0004】 本発明の目的は、このような問題点に鑑み、試験に必要な記憶容量を低減することができ、かつ、試験中に救済行又は救済列のアドレスを決定することができる半導体試験方法及び装置を提供することにある。

【0005】

【課題を解決するための手段及びその作用効果】 請求項1の半導体試験方法では、残存スเปアセル行数 SPr 及び残存スเปアセル列数 SPc を記憶しておき、検出された不良ビットの行アドレス及び列アドレスである不良行アドレス $ADRr$ 及び不良列アドレス $ADRC$ に対して、一方では、各不良行アドレス $ADRr$ について不良行アドレス $ADRr$ 上に存在する不良ビットの列アドレス $ADRC$ を記憶し、該不良行アドレス $ADRr$ 上の不良ビットを計数し、他方では、各不良列アドレス $ADRC$ について不良列アドレス $ADRC$ 上に存在する不良ビットの行アドレス $ADRr$ を記憶し、該不良列アドレス $ADRC$ 上の不良ビットを計数し、該不良行アドレス $ADRr$ 上の不良ビット計数値 $CNTc$ が該残存スเปアセル列数 SPc を越えるときには、該不良ビット計数値 $CNTc$ の最後の計数に対応した不良行アドレス $ADRr$ を救済行アドレス $ADRa$ と判定し、該残存スเปアセル行数 SPr を1だけ減少させ、該不良列アドレス $ADRC$ 上の不良ビット計数値 $CNTc$ が該残存スเปアセル行数 SPr を越えるときには、該不良ビット計数値 $CNTc$ の最後の計数に対応した不良列アドレス $ADRC$ を救済列アドレス $ADRCc$ と判定し、該残存スเปアセル列数 SPc を1だけ減少させる。

【0006】 この半導体試験方法によれば、 $CNTc > SPc$ が成立するとき、不良ビット計数値 $CNTc$ の最後の計数に対応した不良行アドレス $ADRr$ を救済行アドレス $ADRa$ と判定し、 $CNT_r > SPr$ が成立するとき、不良ビット計数値 CNT_r の最後の計数に対応した不良列アドレス $ADRC$ を救済列アドレス $ADRCc$ と判定するので、従来のように被測定メモリの記憶容量以上のフェイルメモリを半導体試験装置に備える必要がなく、試験に必要な記憶容量を低減することができるという効果を奏する。また、この条件で救済を行うかどうかを判定しているので、試験中に救済行又は救済列のアドレスを決定することが必ず可能になるという効果を奏し、試験のスループットが向上し、試験コストの低減に寄与するところが大きい。

【0007】 請求項2の半導体試験方法では、請求項1において、上記救済行アドレス $ADRa$ が決定される毎

に、該救済行アドレスADRRaに一致した不良行アドレスADRR上上の不良ビットのアドレスの記憶を削除し、該削除に対応して上記不良ビット計数値CNTc及びCNTTrを減少させ、上記救済列アドレスADRCaが決定される毎に、該救済列アドレスADRCaに一致した不良列アドレスADRC上上の不良ビットのアドレスの記憶を削除し、該削除に対応して該不良ビット計数値CNTc及びCNTTrを減少させる。

【0008】この半導体試験方法によれば、試験中において、救済解の行アドレス及び列アドレスに含まれる不良アドレス情報が記憶から削除されるので、試験に必要な記憶容量をさらに低減することができるという効果を奏する。請求項3では、請求項1又は2において、検出された1つの不良ビットについて、 $CNTc > SPc$ 及び $CNTr > Spr$ が成立する場合には、上記救済行アドレスADRRaの判定と上記救済列アドレスADRCaの判定との一方のみ有効にし他方を無効にする。

【0009】この半導体試験方法によれば、行の救済と列の救済との同時実行が防止され、スベアセルの無駄な使用が回避されてスベアセル使用効率が向上するという効果を奏する。請求項4の半導体試験装置では、残存スベアセル行数SPr及び残存スベアセル列数SPcを記憶する救済可能スベアセルライン数記憶部と、検出された不良ビットの行アドレス及び列アドレスである不良行アドレスADRR及び不良列アドレスADRCに対し、各不良行アドレスADRRについて不良行アドレスADRR上に存在する不良ビットの列アドレスADRCを記憶し、該不良行アドレスADRR上の不良ビットを計数し、該不良行アドレスADRR上の不良ビット計数値CNTcが該残存スベアセル列数SPcを越えるときには、該不良ビット計数値CNTcの最後の計数に対応した不良行アドレスADRRを救済行アドレスADRRaと判定し、該残存スベアセル行数SPrを1だけ減少させる行救済部と、該不良行アドレスADRR及び不良列アドレスADRCに対し、各不良列アドレスADRCについて不良列アドレスADRC上に存在する不良ビットの行アドレスADRRを記憶し、該不良列アドレスADRC上の不良ビットを計数し、該不良列アドレスADRC上の不良ビット計数値CNTrが該残存スベアセル行数SPrを越えるときには、該不良ビット計数値CNTrの最後の計数に対応した不良列アドレスADRCを救済列アドレスADRCaと判定し、該残存スベアセル列数SPcを1だけ減少させる列救済部とを有する。

【0010】請求項5の半導体試験装置では、請求項4において、上記行救済部は、上記救済行アドレスADRRaが決定される毎に、該救済行アドレスADRRaに一致した不良行アドレスADRR上上の不良ビットのアドレスの記憶を削除し、該削除に対応して上記不良ビット計数値CNTcを減少させ、上記救済列アドレスADRCaが決定される毎に、該救済列アドレスADRCaに一致した

不良列アドレスADRC上上の不良ビットのアドレスの記憶を削除し、該削除に対応して該不良ビット計数値CNTcを減少させ、上記列救済部は、該救済列アドレスADRCaが決定される毎に、該救済列アドレスADRCaに一致した不良列アドレスADRC上上の不良ビットのアドレスの記憶を削除し、該削除に対応して該不良ビット計数値CNTrを減少させ、該救済行アドレスADRRaが決定される毎に、該救済行アドレスADRRaに一致した不良行アドレスADRR上上の不良ビットのアドレスの記憶を削除し、該削除に対応して該不良ビット計数値CNTrを減少させる。

【0011】請求項6の半導体試験装置では、請求項4又は5において、上記行救済部は、上記救済行アドレスADRRaを決定する毎に、該救済行アドレスADRRaの決定を上記列救済部に通知し、該列救済部は、上記救済列アドレスADRCaを決定する毎に、該救済列アドレスADRCaの決定を該行救済部に通知する。

【0012】この半導体試験装置によれば、行救済部と列救済部との間で簡単な救済情報を授受することにより、行救済部及び列救済部での処理が互いに独立的になって全体としての処理が簡単になり、しかも、この授受により行救済部と列救済部とで並列処理が可能となるので、両処理の一部又は全部をハード的に行うことにより、高速処理が可能となって、試験のスループットがさらに向上するという効果を奏する。

【0013】請求項7の半導体試験装置では、請求項4乃至6のいずれか1つにおいて、上記行救済部は、検出された1つの不良ビットについて、 $CNTc > SPc$ が成立すると判定し、上記列救済部において $CNTr > Spr$ が成立すると判定された場合には、予め行優先と定められていれば上記救済行アドレスADRRaの判定を有効にし予め列優先と定められていれば該救済行アドレスADRRaの判定を無効にし、該列救済部は、該不良ビットについて、 $CNTr > Spr$ が成立すると判定し、該行救済部において $CNTc > SPc$ が成立すると判定された場合には、予め行優先と定められていれば上記救済列アドレスADRCaの判定を無効にし予め列優先と定められていれば該救済列アドレスADRCaの判定を有効にする。

【0014】この半導体試験装置によれば、行救済部と列救済部とで並列処理が行われることと行優先又は列優先が予め定められていることから、試験を低速化させることなく行の救済と列の救済との同時実行が防止され、スベアセルの無駄な使用が回避されてスベアセル使用効率が向上するという効果を奏する。請求項8の半導体試験装置では、請求項4乃至7のいずれか1つにおいて、被測定メモリにデータを書き込み、書き込んだデータを読み出し、読み出したビットのデータが該ビットに書き込んだデータと不一致のとき該ビットのアドレスを不良アドレスとして取得する測定部と、決定された上記救済行アドレスADRRa及び救済列アドレスADRCaを記憶

する救済記憶部と、該測定部で取得された不良アドレスが上記行救済部又は上記列救済部に記憶された不良ビットのアドレスと一致せず、該不良アドレスの行アドレス部が該救済記憶部に記憶された救済行アドレスに一致せず、且つ、該不良アドレスの列アドレス部が該救済記憶部に記憶された救済列アドレスに一致しない場合のみ該不良アドレスを該行救済部及び該列救済部に供給する重複監視部とを有する。

【0015】この半導体試験装置によれば、重複した無駄な処理が省略されるので、試験所要時間がさらに短縮されるという効果を奏する。請求項9の半導体試験装置では、請求項8において、上記測定部は、上記救済行アドレス又は上記救済列アドレスを含むアドレスについて上記被測定メモリに対し上記書き込み及び読み出しを省略する。

【0016】この半導体試験装置によれば、無駄な測定処理が省略されるので、試験所要時間がさらに一層短縮されるという効果を奏する。

【0017】

【発明の実施の形態】以下、図面に基いて本発明の一実施形態を説明する。図1は、半導体試験装置10の概略構成を示す。この半導体試験装置10は、不良ビット救済用スペアセルを備えた被測定メモリ20に対し不良ビットの有無を検査し、不良ビットが有る場合にはその救済可否を判定し、救済可能な場合には、スペアセルと置換して救済すべき行又は列のアドレスを決定するためのものである。被測定メモリ20は、メモリデバイス又はCPU等の半導体装置に備えられたメモリ部である。

【0018】半導体試験装置10は、構成要素11～17を備えている。測定部11では、テストパターン発生部11aからアドレスADRとビットデータDATとの組が順次出力され、アドレスADRで被測定メモリ20がアドレス指定され、ビットデータDATと被測定メモリ20から読み出されたビットデータDATXとが比較部11bで比較され、その結果がフェイル信号FとしてアドレスADRと共に重複監視部12へ供給される。

【0019】重複監視部12は、フェイル信号Fが不良ビットを示している場合のみアドレスADRを測定部11から受け取る。ビットテストは、ビットデータDATが「1」の場合と「0」の場合とについて行われ、その一方で不良が検出された場合には他方についてさらに不良救済のための処理を行う必要がない。また、アドレスADRが救済対象の不良行又は不良列のアドレスに含まれる場合にも、さらに不良救済のための処理を行う必要はない。重複監視部12は、このような不必要な処理を行うのを防止するためのものであり、不良救済のための処理が重複しないようにアドレスADRを後述のデータに基づいて選別し、これを行救済部13及び14に供給する。

【0020】アドレスADRは、その上位ビットである

不良行アドレスADRRと下位ビットである不良列アドレスADRCとの組からなる。行救済部13は、不良行アドレスADRRが格納される不良行アドレス記憶部13aと、この不良行アドレスADRR上に存在する不良ビットの列アドレスADRCが格納される不良行上不良列アドレス記憶部13bと、この不良行アドレスADRR上の不良ビットを計数した値CNTcが保持される不良行上不良ビット計数部13cとを組にしたものを備えている。この組のデータ形式は、記憶領域の無駄を省くためにリスト構造であってもよいが、説明の簡単化のために、1組のデータを1行のデータとする。

【0021】列救済部14は、不良列アドレスADRCが格納される不良列アドレス記憶部14aと、この不良列アドレスADRC上に存在する不良ビットの行アドレスADRRが格納される不良列上不良行アドレス記憶部14bと、この不良列アドレスADRC上の不良ビットを計数した値CNTrが保持される不良列上不良ビット計数部14cとを組にしたものを備えている。

【0022】行救済部13は、列救済部14により救済列アドレスADRCa及び救済列有無検出コードFCがそれぞれ設定されるレジスタ13d及び13eを備え、列救済部14は、行救済部13により救済行アドレスADRRa及び救済行有無検出コードFRがそれぞれ設定されるレジスタ14d及び14eを備えている。救済可能スペアセルライン数記憶部15には、残存スペアセル行数SPrと残存スペアセル列数SPcとが格納される。

【0023】行救済部13により救済行アドレスADRRaが決定されると、記憶部13a～13cに含まれる、救済行アドレスADRRaに一致した不良行アドレスADRRの行(組)のデータが初期化され、救済行アドレスADRRaが救済記憶部16に格納され、行救済部13により残存スペアセル行数SPrが1だけデクリメントされる。また、この救済行アドレスADRRa及び救済行有無検出コードFR=1が列救済部14へ供給される。列救済部14は、これにตอบสนองして、救済行アドレスADRRaに一致する不良行アドレスADRRを削除し、その行(組)の計数値CNTrを1だけデクリメントする。

【0024】同様に、列救済部14により救済列アドレスADRCaが決定されると、記憶部14a～14cに含まれる、救済列アドレスADRCaに一致した不良列アドレスADRCの行(組)のデータが初期化され、救済列アドレスADRCaが救済記憶部16に格納され、列救済部14により残存スペアセル列数SPcが1だけデクリメントされる。また、この救済列アドレスADRCa及び救済列有無検出コードFC=1が行救済部13へ供給される。行救済部13は、これにตอบสนองして、救済列アドレスADRCaに一致する不良列アドレスADRCを削除し、その行(組)の計数値CNTcを1だけデクリメントする。

【0025】重複監視部12は、行救済部13と列救済

部14との少なくとも一方及び救済記憶部16に格納されたデータに基づいて、不良ビットの必要なアドレスADRのみを行救済部13及び列救済部14へ供給することにより、上記のような不要な処理が行われるのを防止する。半導体試験装置10の構成要素11~16は、制御部17により制御される。

【0026】救済可能スペアセルライン数記憶部15の残存スペアセル行数SPr及び残存スペアセル列数SPcが共に0のときに、さらに残存スペアセル列数SPc又は残存スペアセル行数SPrがデクリメントされようとすると、スペアセルによる不良ビット救済が不可能であると判断され、判断した行救済部13又は列救済部14は制御部17へ測定中断指令を供給する。

【0027】半導体試験装置10は、ハードウェア構成又はソフトウェア構成のいずれによりその処理を実行するものであってもよい。行救済部13での救済処理と列救済部14での救済処理とは、ハード的又はソフト的(時分割)に互いに並列に行われる。図2は、行救済部13での処理を示し、図3は、列救済部14での処理を示す。図3の処理は図2の処理と対応しており、図2において行と列とを入れ替えた処理が図3の処理となっている。重複監視部12から行救済部13及び列救済部14へ同時に同一の不良ビットアドレスADR(不良行アドレスADRRと不良列アドレスADRCとの組)が1つ供給され、この供給毎に、図2及び図3のループ処理が並列的に1回行われる。以下、括弧内は図中のステップ識別符号を示している。

【0028】図2の処理の前に行われる初期化処理においては、不良行上不良ビット計数値CNTcは全てゼロクリアされ、不良行アドレスADRR及び不良列アドレスADRCには-1(全ビットが'1')が格納され、救済行有無検出コードFRはゼロクリアされ、救済可能スペアセルライン数記憶部15には被測定メモリ20に対するスペアセルの行数SPr及び列数SPcが設定される。

【0029】(20)救済行有無検出コードFRをゼロクリアする。不良行アドレスADRRが不良行アドレス記憶部13aに既に格納されているものと一致するかどうかを判定し、一致すればその行(図1の行救済部13中の横方向1行)の不良行上不良列アドレス記憶部13bに不良列アドレスADRCを追加し、その行の不良行上不良ビット計数値CNTcをインクリメントする。一致するものがなければ、この不良行アドレスADRRを不良行アドレス記憶部13aに追加し、一致する場合と同様の処理を行う。

【0030】(21)ステップ20でインクリメントされた不良行上不良ビット計数値CNTcと救済可能スペアセルライン数記憶部15の残存スペアセル列数SPcとを比較する。CNTc≤SPcであればステップ22へ進み、そうでなければステップ26へ進む。

(22)レジスタ14eに、救済行無しを示すFR=-1を設定する。

【0031】(23)FC=0であれば、FC≠0となるのを待つ。救済列有りを示すFC=1がレジスタ13eに設定されていれば、ステップ24Sへ進み、救済列無しを示すFC=-1がレジスタ13eに設定されていれば、ステップ25へ進む。

(24S)列救済部14での救済列有りの処理に伴う行救済部13での削除処理を行う。すなわち、レジスタ13dに設定された救済列アドレスADRCaに等しい不良列アドレスADRCを全て記憶部13bから削除し、各削除毎に、その行の不良行上不良ビット計数値CNTcを1だけデクリメントする。これによりCNTc=0となった場合には、記憶部13aから不良行アドレスADRRを削除(-1に初期化)する。次にステップ25へ進む。

【0032】(25)測定部11での測定処理が終了していなければ、上記ステップ20へ戻る。

(26)SPr=0であれば救済不可と判定し、測定中断信号を制御部17へ供給する。制御部17はこれにตอบสนองして、被測定メモリ20に対する試験を終了させる。

【0033】SPr>0であれば、ステップ27Aへ進む。

(27A、27B)FC=1(救済列有り)で列優先と予め定められているときには救済行有りの処理を省略するためにステップ23へ進み、そうでなければステップ28へ進む。

(28)列救済部14にステップ34Sの処理を、行救済部13での後述のステップ24Mの処理と並列的に行わせるために、レジスタ14eに救済行有りを示すFR=1を設定する。

【0034】(29)列救済部14に上記処理を行わせるために、ステップ20での不良行アドレスADRRを救済行アドレスADRRaとしてレジスタ14eに設定する。

(24M)行救済処理を行う。すなわち、記憶部13aに含まれている救済行アドレスADRRaに等しい不良行アドレスADRRの1行のデータを記憶部13a~13cから削除し(不良行アドレスADRRを-1にし、その行の全ての不良列アドレスADRCを-1にし、計数値CNTcを0にし)、救済記憶部16に救済行アドレスADRRaを格納し、救済可能スペアセルライン数記憶部15の残存スペアセル行数SPrを1だけデクリメントする。次にステップ25へ進む。

【0035】次に、図1の被測定メモリ20のメモリセルアレイが9行12列である簡単な例での図2と図3との並列処理の具体例を説明する。図4は、この場合の不良ビットをX印で示している。メモリセルアレイ20aを図示矢印方向へ1ビットずつ順にラスタ走査して試験を行うとする。救済可能な最大スペアセルは2行2

列、すなわち、残存スベアセル行数SPr及び残存スベアセル列数SPcの初期値は共に2であるとする。また、救済行有りと救済列有りの判定が並列的に生じた場合には、行の救済が優先（列の救済を省略）するものとする。

【0036】図5(A)～(F)は、図4の被測定メモリに対する救済処理の過程でのデータを示す。以下において、16進数には数字の前に#を付加する。アドレスADRの不良ビットを不良ビット(ADRC, ADRr)と表し、行救済部13及び列救済部14での処理をそれぞれ行:、列:で表す。また、行救済処理において、例えばADRr=#3、ADRC=#2、CNTc=1と略記した場合、次のような処理が行われる。すなわち、不良行アドレス記憶部13aにADRr=#3がなければこれを記憶部13aに追加し、ADRr=#3の行の不良列アドレスADRCに#2を追加し、この行の不良行上不良ビット計数値CNTcを1だけインクリメントし、これによりCNTc=1となる。同様に、列救済処理において、例えばADRC=#2、ADRr=#3、CNTc=1と略記した場合、次のような処理が行われる。すなわち、不良列アドレス記憶部14aにADRC=#2がなければこれを不良列アドレス記憶部14aに追加し、ADRC=#2の行の不良行アドレスADRrに#3を追加し、この行の不良列上不良ビット計数値CNTrを1だけインクリメントし、これによりCNTr=1となる。

【0037】(1) 不良ビット(#0, #5)、図5(A)

行: ステップ20でADRr=#0、ADRC=#5、CNTc=1、ステップ21でCNTc≤SPcと判定、ステップ22でFR=-1（行救済処理無し）と設定、ステップ23でFC=-1（列救済処理無し）と判定されてステップ25へ進む。

【0038】列: ステップ30でADRc=#5、ADRr=#0、CNTr=1、ステップ31でCNTr≤SPrと判定、ステップ32でFC=1（列救済処理無し）と設定、ステップ33でFR=-1（行救済処理無し）と判定されてステップ35へ進む。

(2) 不良ビット(#0, #6)、図5(A)

行: ステップ20でADRr=#0、ADRC=#6、CNTc=2、ステップ21でCNTc≤SPcと判定、ステップ22でFR=-1と設定、ステップ23でFC=-1と判定されてステップ25へ進む。

【0039】列: ステップ30でADRc=#6、ADRr=#0、CNTr=1、ステップ31でCNTr≤SPrと判定、ステップ32でFC=-1と設定、ステップ33でFR=-1と判定されてステップ35へ進む。

(3) 不良ビット(#0, #7)、図5(A)及び

(B)

行: ステップ20でADRr=#0、ADRC=#7、C

NTc=3、ステップ21でCNTc>SPcと判定、ステップ26でSPc>0と判定、ステップ27AでFC=-1（列救済処理無し）と判定、ステップ28でFR=1（行救済処理有り）と設定、ステップ29で、ステップ20でのADRr=#0を救済行アドレスADRraとして設定する。次にステップ24Mで、記憶部13a～13cからADRr=#0の行を削除し、ADRra=#0を救済行アドレスとして救済解記憶部16に格納し、残存スベアセル行数SPrをデクリメントする(SPr=1)。次にステップ25へ進む。

【0040】列: ステップ30でADRc=#7、ADRr=#0、CNTr=1、ステップ31でCNTc≤SPcと判定、ステップ32でFC=-1（列救済処理無し）と設定、ステップ33でFR=1（行救済処理有り）と判定され、ステップ34Sで記憶部14a～14cから不良行アドレスADRrがADRra=#0に一致する行を全て削除し、ステップ35へ進む。

【0041】アドレス(#0, #8)～(#0, #B)については、救済解の行であるので、重複監視部12からテストパターン発生部11aへの指示により、テストパターン発生部11aからのテストパターン出力が省略される。

(4) 不良ビット(#3, #0)

行: ステップ20でADRr=#3、ADRC=#0、CNTc=1、ステップ21でCNTc≤SPcと判定、ステップ22でFR=-1と設定、ステップ23でFC=-1と判定されてステップ25へ進む。

【0042】列: ステップ30でADRc=#0、ADRr=#3、CNTr=1、ステップ31でCNTr≤SPrと判定、ステップ32でFC=-1と設定、ステップ33でFR=-1と判定されてステップ35へ進む。

(5) 不良ビット(#3, #1)

行: ステップ20でADRr=#3、ADRC=#1、CNTc=2、ステップ21でCNTc≤SPcと判定、ステップ22でFR=-1と設定、ステップ23でFC=-1と判定されてステップ25へ進む。

【0043】列: ステップ30でADRc=#1、ADRr=#3、CNTr=1、ステップ31でCNTr≤SPrと判定、ステップ32でFC=-1と設定、ステップ33でFR=-1と判定されてステップ35へ進む。

(6) 不良ビット(#3, #2)

行: ステップ20でADRr=#3、ADRC=#2、CNTc=3、ステップ21でCNTc>SPcと判定、ステップ26でSPc>0と判定、ステップ27AでFC=-1と判定、ステップ28でFR=1と設定、ステップ29で、ステップ20でのADRr=#3を救済行アドレスADRraとして設定する。次にステップ24Mで、記憶部13a～13cからADRr=#3の行を削除し、ADRra=#3を救済行アドレスとして救済解記憶部16に格納し、残存スベアセル行数SPrをデクリ

13

メントする ($SPr=0$)。次にステップ25へ進む。

列: ステップ30で $ADRC=\#2$ 、 $ADRR=\#3$ 、 $CNTr=1$ 、ステップ31で $CNTr>SPr$ と判定、ステップ36で $SPc>0$ と判定、ステップ37Aで $FR=1$ と判定、ステップ37Bで列優先でない判定、ステップ33で $FR=1$ と判定、ステップ34Sで記憶部14bから不良行アドレス $ADRR$ が $ADRRa=\#3$ に一致するものを全て削除する等の処理を行い、ステップ35へ進む。

【0044】アドレス ($\#3$, $\#3$) ~ ($\#3$, $\#B$) については、救済解の行であるので、重複監視部12からテストパターン発生部11aへの指示により、テストパターン発生部11aからのテストパターン出力が省略される。

(7) 不良ビット ($\#5$, $\#6$)、図5 (C) ~ (E) 行: ステップ20で $ADRR=\#5$ 、 $ADRC=\#6$ 、 $CNTc=1$ 、ステップ21で $CNTc\leq SPc$ と判定、ステップ22で $FR=-1$ と設定、ステップ23で $FC=1$ (列救済処理有り) と判定されてステップ24Sへ進み、記憶部13bから不良列アドレス $ADRC$ が $ADRCa=\#6$ に一致するものを全て削除する等の処理を行い、ステップ35へ進む。

【0045】列: ステップ30で $ADRC=\#6$ 、 $ADRR=\#5$ 、 $CNTr=1$ 、ステップ31で $CNTr>SPr$ と判定、ステップ36で $SPc>0$ と判定、ステップ37Aで $FR=-1$ と判定、ステップ38で $FC=1$ と設定、ステップ39で、ステップ30での $ADRC=\#6$ を救済列アドレス $ADRCa$ として設定する。次にステップ34Mで、記憶部14a~14cから $ADRC=\#6$ の行を削除し、 $ADRCa=\#6$ を救済列アドレスとして救済解記憶部16に格納し、残存スベアセル列数 SPc をデクリメントする ($SPc=1$)。次にステップ35へ進む。不良アドレス ($\#8$, $\#6$) については、救済解の列であるので、このアドレスは重複監視部12から行救済部13及び14へ供給されない。

【0046】(8) 不良ビット ($\#8$, $\#9$)、図5 (F)

行: ステップ20で $ADRR=\#8$ 、 $ADRC=\#9$ 、 $CNTc=1$ 、ステップ21で $CNTc\leq SPc$ と判定、ステップ22で $FR=-1$ と設定、ステップ23で $FC=1$ (列救済処理有り) と判定されてステップ24Sへ進み、記憶部13bから不良列アドレス $ADRC$ が $ADRCa=\#9$ に一致するものを全て削除する等の処理を行い、ステップ35へ進む。

【0047】列: ステップ30で $ADRC=\#9$ 、 $ADRR=\#8$ 、 $CNTr=1$ 、ステップ31で $CNTr>SPr$ と判定、ステップ36で $SPc>0$ と判定、ステップ37Aで $FR=-1$ と判定、ステップ38で $FC=1$ と設定、ステップ39で、ステップ30での $ADRC=\#9$ を救済列アドレス $ADRCa$ として設定する。次にステ

14

ップ34Mで、記憶部14a~14cから $ADRC=\#9$ の行を削除し、 $ADRCa=\#9$ を救済列アドレスとして救済解記憶部16に格納し、残存スベアセル列数 SPc をデクリメントする ($SPc=0$)。次にステップ35へ進む。この状態のままで測定部11での測定が終了すれば、全不良ビットの救済が可能となる。

【0048】もし、図4中に2点鎖線で示すように不良アドレス ($\#8$, $\#A$) が存在すれば、次のような処理が行われる。

(9) 不良ビット ($\#8$, $\#A$)、図5 (G)

行: ステップ20で $ADRR=\#8$ 、 $ADRC=\#A$ 、 $CNTc=2$ 、ステップ21で $CNTc>SPc$ と判定、ステップ26で $SPc=0$ と判定し、測定中断信号を制御部17へ供給する。

【0049】列: ステップ30で $ADRC=\#A$ 、 $ADRR=\#8$ 、 $CNTr=1$ 、ステップ31で $CNTr>SPr$ と判定、ステップ36で $SPc=0$ と判定し、測定中断信号を制御部17へ供給する。本実施形態によれば、図2のステップ21及び図3のステップ31の条件で救済を行うかどうかを判定し、救済を行うと判定した場合に図2のステップ20での不良行アドレス $ADRR$ を救済行アドレス $ADRRa$ とし又は図3のステップ30での不良列アドレス $ADRC$ を救済列アドレス $ADRCa$ とするので、従来のように被測定メモリ20の記憶容量以上のフェイルメモリを半導体試験装置に備える必要がなく、試験に必要な記憶容量を低減することができるという利点を有する。

【0050】また、試験中において、救済解の行アドレス及び列アドレスに含まれる不良情報が行救済部13及び列救済部14の記憶部から削除されるので、試験に必要な記憶容量をさらに低減することができるという利点を有する。さらに、図2のステップ21及び図3のステップ31の条件で救済を行うかどうかを判定しているので、試験中に救済行又は救済列のアドレスを決定することが必ず可能となり、試験のスループットが向上し、試験コストの低減に寄与するという利点を有する。

【0051】また、行救済部13と列救済部14との間で簡単な救済情報を授受することにより、行救済部13及び列救済部14での処理が互いに独立的になって全体としての処理が簡単になるという利点を有する。しかも、この授受により行救済部13と列救済部14とで並列処理が可能となるので、両処理の一部又は全部をハード的に行うことにより、高速処理が可能となって、試験のスループットがさらに向上するという利点を有する。

【0052】さらに、行救済部13と列救済部14とで並列処理が行われることと行優先又は列優先が予め定められていることから、試験を低速化させることなく行の救済と列の救済との同時実行が防止され、スベアセルの無駄な使用が回避されてスベアセル使用効率が向上するという利点を有する。なお、本発明には外にも種々の変

形例が含まれる。

【0053】例えば、レジスタ13eを備えずに、FCを列救済アドレスADRCaの設定に含ませる（例えば、ADRCa=-1であればFC=0、ADRCa=-2であればFC=-1とみなす）ようにしてもよい。また、レジスタ13dの替わりに列救済部14の1行分（14cの部分は除外してもよい）のレジスタ群を備え、ステップ39において、列救済部14の対応する1行分のデータをこのレジスタ群に設定し、ステップ24Sの削除処理では、このレジスタ群に設定された不良行アドレスADRRをキーとして記憶部13aを検索することにより、記憶部13bの列アドレスADRCの削除をより高速に行うようにしてもよい。

【0054】さらに、このレジスタ群を備える替わりに、列救済部14の1行分を指し示すポインタを備え、ポインタの値で列救済部14のデータを参照するようにしてもよい。

【図面の簡単な説明】

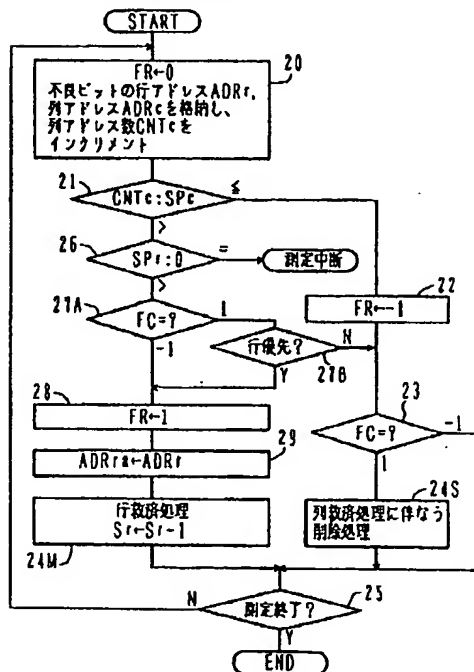
【図1】本発明の一実施形態の半導体試験装置概略構成ブロック図である。

【図2】図1の行救済部での処理を示すフローチャートである。

【図3】図1の列救済部での処理を示すフローチャート

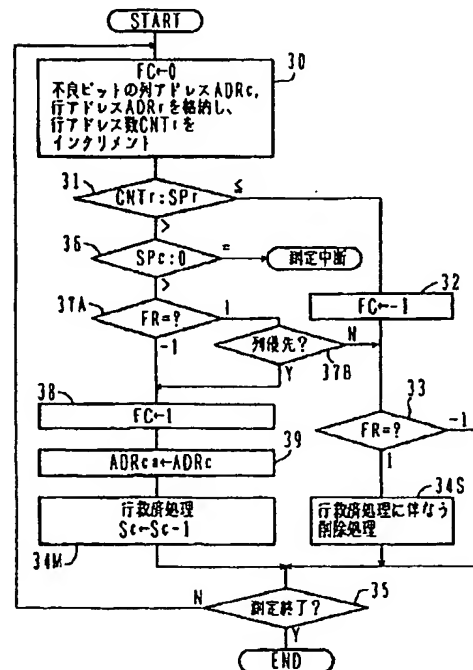
【図2】

図1の行救済部での処理を示すフローチャート



【図3】

図1の列救済部での処理を示すフローチャート



である。

【図4】被測定メモリのビット走査順及び不良ビット分布の具体例を示す図である。

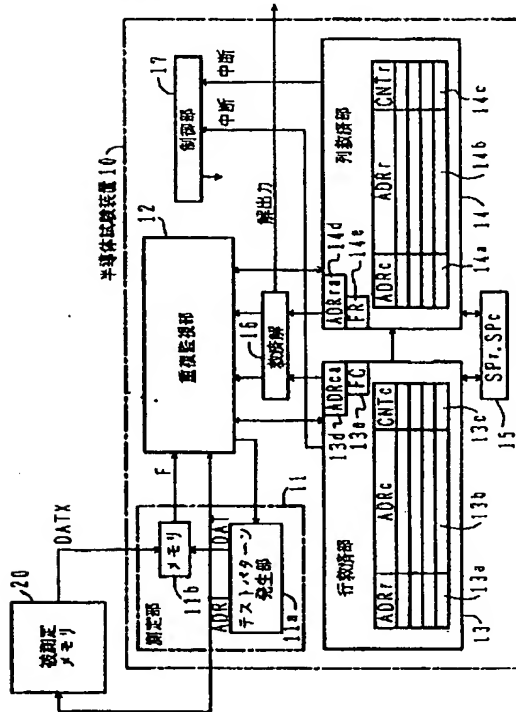
【図5】図4の被測定メモリに対する救済処理の過程でのデータを示す図である。

【符号の説明】

- 10 半導体試験装置
- 20 被測定メモリ
- 11 測定部
- 11a テストパターン発生部
- 11b 比較部
- 12 重複監視部
- 13 行救済部
- 13a 不良行アドレス記憶部
- 13b 不良行上不良列アドレス記憶部
- 13c 不良行上不良ビット計数部
- 13d、13e、14d、14e レジスタ
- 14 列救済部
- 14a 不良列アドレス記憶部
- 14b 不良列上不良行アドレス記憶部
- 14c 不良列上不良ビット計数部
- 15 救済可能スペアセルライン数記憶部
- 16 救済解記憶部

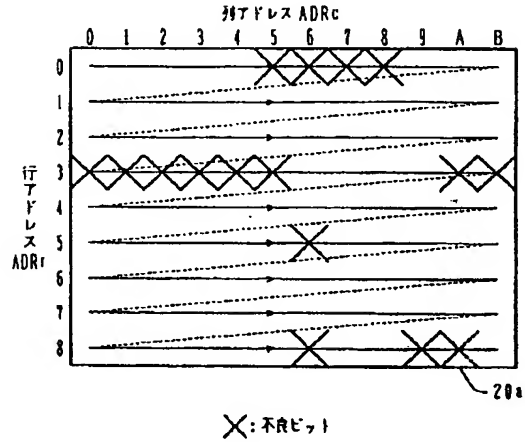
【図1】

本発明の一実施形態の半導体試験装置
概略構成を示すブロック図



【図4】

被測定メモリのビット走査順及び不良ビット分布の
具体例を示す図



【図5】

図4の被測定メモリに対する救済処理の過程での
データを示す図

(A)

ADRr	ADRc	CNTc
#1	#5, #6, #7	3

ADRc	ADRr	CNTc
#5	#0	1
#6	#0	1
#7	#0	1

SPr	SPc
2	2

救済行 救済列

#0

(B)

ADRr	ADRc	CNTc

ADRc	ADRr	CNTc

SPr	SPc
1	2

救済行 救済列

#0

(C)

ADRr	ADRc	CNTc
#5	#6	

ADRc	ADRr	CNTc
#6	#5	

SPr	SPc
0	2

救済行 救済列

#0, #3

(D)

ADRr	ADRc	CNTc

ADRc	ADRr	CNTc

SPr	SPc
0	2

救済行 救済列

#0, #3

(E)

ADRr	ADRc	CNTc

ADRc	ADRr	CNTc

SPr	SPc
0	1

救済行 救済列

#0, #3

#6

(F)

ADRr	ADRc	CNTc

ADRc	ADRr	CNTc

SPr	SPc
1	0

救済行 救済列

#0, #3

#5, #9

(G)

ADRr	ADRc	CNTc
#8	#A	

ADRc	ADRr	CNTc
#A	#8	

SPr	SPc
0	0

救済行 救済列

#0, #3

#6, #9

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.